مشخصه‌سازی ادوات نانوالکترونیک تحمل‌پذیر اشکال چند ورودی- چند خروجی با استفاده از آتاماتای سلولی کوانتومی

آرزو حسومی، راضیه فرازکیش*

گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی واحد تهران جنوب

چکیده

نقاط کوانتومی که به عنوان نانو ذرات نیمه رسانا نیز شناخته می‌شوند، دارای خواص الکتریکی، نوری و فیزیکی منحصر به فردی می‌باشند.آتاماتای سلولی کوانتومی (QCA) تکنولوژی نوظهوری است که از نقاط کوانتومی برای محاسبات دیجیتال بهره می‌گیرد و اطلاعات باینری را به صورت نحوه قرارگیری بار در سلول، به جای سطوح ولتاژ کدگذاری می‌کند. این تکنولوژی می‌تواند منجر به کاهش ابعاد مدارات دیجیتال، کاهش توان مصرفی و افزایش فرکانس clockشود. از طرف دیگر، مدارات نانوالکترونیک باید به‌صورت تحمل‌پذیر اشکال طراحی شوند که بتوانند در مقابل اشکال‌ها مقاوم بوده و آن‌ها را پوشش دهد؛ در نتیجه به ادوات تحمل‌پذیر اشکال در طراحی مدارات نیاز خواهیم داشت. در این تحقیق یک مدار تمام‌جمع‌کننده قابل گسترش به جمع‌کننده دوبیتی و چهاربیتی تحمل‌پذیر اشکال ارائه شده است. این طراحی در پارامترهای تعداد سلول‌ها، تأخیر، پیچیدگی مدار و میزان استحکام نسبت به سایر مدارات مشابه پیشرفت قابل توجهی دارد. درستی عملکرد طراحی پیشنهادی با استفاده از شبیه‌سازی کامپیوتری اثبات شده‌است، به‌طوری‌که روش پیشنهادی استحکام و کارایی بسیار بالایی را ارائه می‌کند.

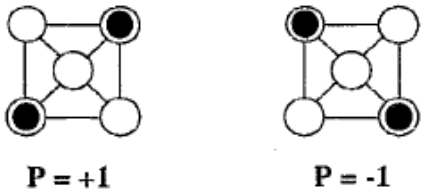
واژه‌های کلیدی: آتاماتای سلولی کوانتومی، تحمل‌پذیری اشکال، ادوات و مدارات نانوالکترونیک، جمع‌کننده.

ایمیل نویسنده مسئول: r.farazkish@srbiau.ac.ir

۱-مقدمه

آتاماتای سلولی کوانتومی[1] یکی از شاخه‌های جدید نانوتکنولوژی برای طراحی مدارهای منطقی و محاسباتی است.این تکنولوژی شیوه جدیدی برای انجام محاسبات ارائه می‌دهد که در آن نمایش اطلاعات و انتقال آن‌ها در سطح مدار با بهره‌گیری از نحوه قرارگیری الکترون‌ها و تعامل الکترواستاتیکی بین آن‌ها در سلول‌های کوانتومی به جای استفاده از سطوح ولتاژ و جریان در یک مدار صورت می‌گیرد .مدارهایQCAبه‌دلیل مشخصات منحصر به فرد خود مانند سرعت زیاد،سایز کم و مصرف توان بسیار کم، جایگزین مناسبی برای مدارهای مجتمع[2] خواهد بود- [۱-۲].

ساختار استاندارد سلول‌های QCA (شکل ۱) شامل ۵ نقطه کوانتومی و دو الکترون است که عمل تونل‌زنی بین مرکز و چهار گوشه انجام می‌گیرد. در این حالتموانع پتانسیل بین سلول‌ها به اندازه کافی از تونل‌زنی بین مرکز و چهارگوشه انجام می گیرد و با یک مقدار کمتر به همسایه‌ها تونل می‌زند[۱-۳].



شکل۱- ساختاراستاندارد سلول‌ها

نیروی دافعه کلومبی[3] مابین الکترون‌ها باعث ایجاد مقایر صفر و یک منطقی می‌شود که برای کدگذاری اطلاعات به‌کار می‌رود.

۲-ادوات و مدارات نانوالکترونیک

گیت‌های منطقی QCA

دو گیت منطقی پایه در مدارات‌QCAگیت معکوس کننده[4] و گیت رأی‌گیری اکثریت[5] است [۳].

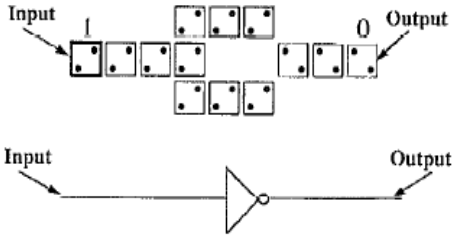
شکل ۲ ساختاری از سلول‌ها را که به‌عنوان معکوس‌کننده عمل می‌کنند، نشان می‌دهد. سیگنال از سمت چپ وارد شده و به دو

[1] Quantum-dot cellular automata (QCA)
[2] Integrated circuit (IC)

[3] Columbic replusion
[4] Inverter
[5] Majority function

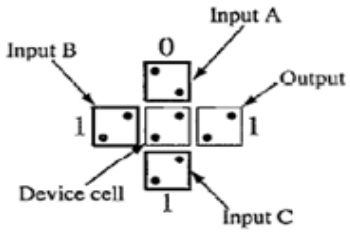
تاریخ دریافت: ۱۳۹۷/۰۳/۲۵ تاریخ پذیرش: ۱۳۹۷/۰۵/۱۲ تاریخ چاپ: ۱۳۹۷/۰۵/۳۰

سیم موازی که از سلول اصلی منحرف می‌گردد، انتقال می‌یابد. چیدمانی که انجام گرفته تسلط زیادی روی نقطه انشعاب دارد. بنابراین سیم ورودی بر انشعاب‌های افقی و عمودی تسلطخواهد داشت. در قسمت آخر در سمت راست سلول‌ها دوباره به یک سیم تبدیل شده که جهت آن برعکس سیگنال سلول ورودی خواهد شد.



شکل۲- گیت معکوس کننده

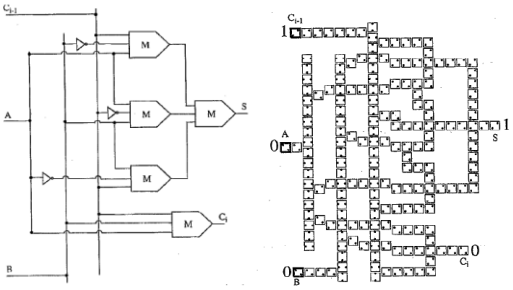
در شکل ۳، ساختار گیت اکثریت ۳ ورودی نشان داده شده‌است. در این طراحیمقادیرسلول های A,B,Cورودی به‌صورت مقدار ثابت و سلول میانی و سلول خروجی مقادیر متغیر بر اساس ورودی‌ها هستند. در این ساختار اکثریت بیت‌های ورودی از طریق سلول میانی به خروجی منتقل می‌شود.



شکل ۳- گیت اکثریت سه ورودی

مدارات جمع‌کنندهQCA

شکل ٤ ، یک جمع‌کننده یک بیتی[6] را نشان می‌دهد که فقط با یک معکوس کننده و یک گیت منطقی اکثریت طراحی شده‌است. با استفاده از این ساختار به‌سادگی می‌توان جمع‌کننده‌های چند بیتی و مدارات پیچیده محاسباتی را طراحی کرد[۱۶-۴].



شکل ۴- جمع‌کننده یک بیتی

۳- تحمل‌پذیری اشکال

سه مفهوم بنیادی در طراحی سیستم‌های تحمل‌پذیر اشکال[7] وجود دارد:اشکال[8]، خطا[9]، خرابی[10]که بین آن‌ها رابطه علت و معلول وجود دارد به‌طوری‌که اشکال علت خطا، خطا علت خرابی است [۱۷].

به‌طور کلی، اشکالیک نقص فیزیکی یا جریانی است که در بعضی از ترکیبات نرم‌افزاری یا سخت‌افزاری رخ می‌دهد.

خطا، در اثر بروز اشکال رخ می‌دهد و در واقع وقوع مقادیر نادرست اطلاعاتی در برخی از واحدها است.

خرابی نیز اجرا نشدن عملکردی است که واحد مورد نظروظیفه اجرا آن را داشته‌است.

شکل ۵روابط بین این سه مفهوم را نشان می‌دهد:

شکل ۵- روابط بین اشکال،خطا و خرابی

دلایل ممکن ایجاد اشکال در چهار قسمت اصلی خلاصه می شوند:

۱) مشخصات اشتباه[11]:که شامل الگوریتم‌های اشتباه، معماری نرم افزار و یا سخت افزار اشتباه باشد.

۲) اشتباهات پیاده سازی[12]: طراحی ضعیف، انتخاب اجزاء ضعیف، ساختار ضعیف یا اشتباهات نرم افزاری کدها سبب ایجاد اشکال خواهد شد.

۳) نقص اجزاء[13]: مانند نقص تولید و عیوب ابزارها.

٤) اختلالات خارجی[14]: مانند تابش، تداخل امواج الکترومغناطیسی، اشتباهات عملگر و خطاهای زیست محیطی.

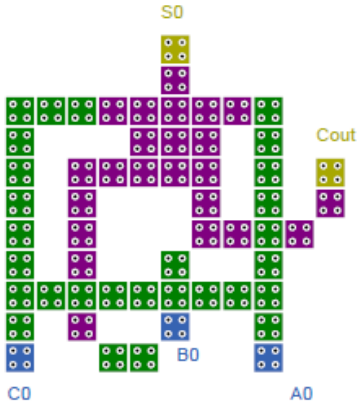
[6]Full-adder (FA)

[7]Fault tolerance
[8] Fault
[9] Error
[10] Failure
[11] Specification mistakes
[12] Implementation mistakes
[13] Random component faults
[14] External disturbance

برای ازبین بردن یا پوشش این اشکالات[15]، از مفهوم افزونگی استفاده می‌شود. افزونگی به‌معنای اضافه کردن منابع جدید است که این منابع می‌تواند سخت‌افزاری، نرم‌افزاری، اطلاعات و یا زمان باشد [۱۹-۱۶].

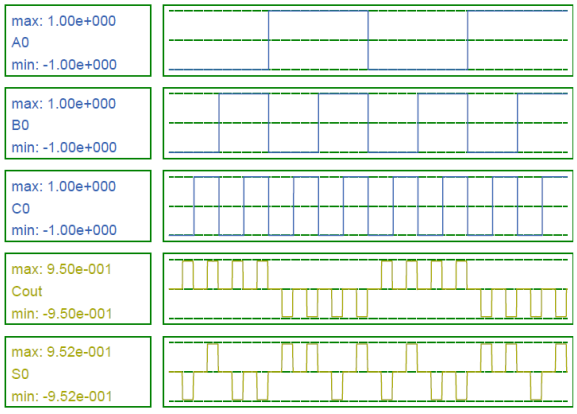
٤- جمع‌کننده پیشنهادی تحمل پذیر اشکال

همان‌طور که پیش‌تر اشاره شد، یکمدار تمام جمع‌کننده شامل سه ورودی A,B,Cو دو خروجی Sو C_{OUT}است. شکل ۶، یگ تمام جمع‌کننده QCAرا نشان می‌دهد. این تمام جمع‌کننده در یک لایه و شامل ۵۶ سلول است. این طرح به نسبت طرح‌های پیشین تأخیر زمانی کمتری دارد، زیرا عبور سیم، پیچیدگی سلول و محیط را ندارد و هم‌چنین قابل گسترش است.



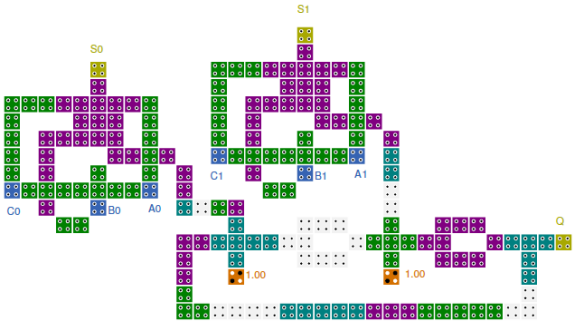
شکل ۶- تمام جمع کننده پیشنهادی

در شکل ۷ نیز نتایج شبیه‌سازی مدار شکل ۶ با استفاده از شبیه‌ساز QCADesignerنشان داده شده است [۲۰]. نتایج شبیه‌سازی نشان‌دهنده عملکرد صحیح خروجی‌های سیستم است.



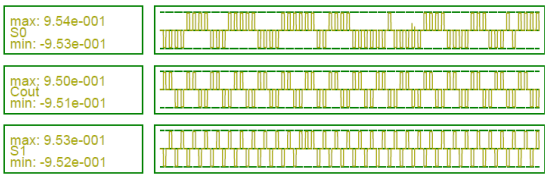
شکل۷-خروجی تمام جمع‌کننده پیشنهادی

از این تمام جمع‌کننده می‌توان در طراحی جمع کننده‌های دوبیتی و چهاربیتی استفاده کرد. جمع‌کننده دوبیتی شامل دو تمام جمع-کننده است که رقم نقلی تمام جمع‌کننده اول ورودی c بلوک بعدی خواهد بود که به دلیل کاهش نویز و ثابت بودن مقدار خروجی از گیت معکوس کننده کامل استفاده شده‌است. همان‌طورکه در شکل ۸ نشان داده شده، تعداد سلول‌های این جمع‌کننده ۱۱۲عدد می‌باشد.



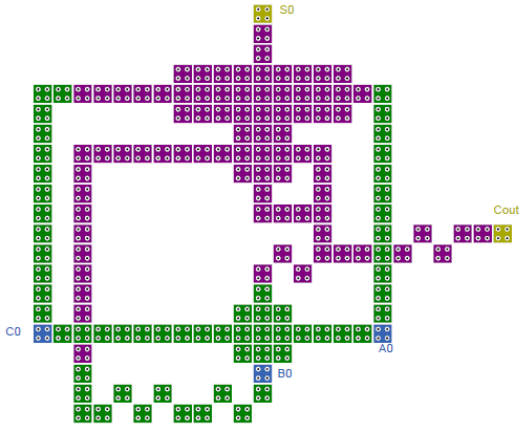
شکل ۸- خروجی جمع‌کننده دوبیتی پیشنهادی

شکل ۹ نیز نتایج شبیه‌سازی مدار شکل ۸ و صحت عملکرد آن را نشان می‌دهد.



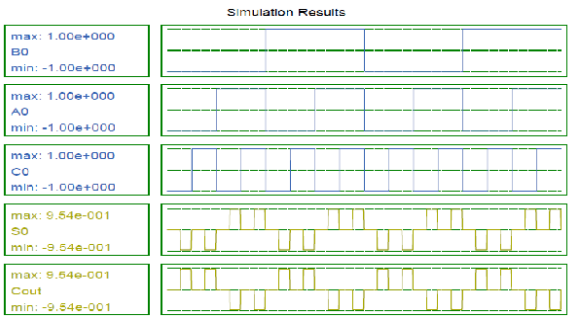
شکل ۹- جمع کننده دوبیتی پیشنهادی

حال می‌توان مدارتمام جمع‌کننده را به‌صورت تحمل‌پذیر اشکال مطابق شکل ۱۰ طراحی کرد.در تمام جمع‌کننده تحمل‌پذیراشکال، هر یک ازسلول‌ها به جز سلول‌های ورودی و خروجی، به‌جای یک سلول به‌صورت بلوک نه‌تایی از سلول‌ها درنظر گرفته شده‌است. این فرضیه هم در گیت اکثریت سه ورودی و هم در گیت اکثریت پنج ورودی اعمال شده‌است. هم‌چنین در معکوس‌کننده نیز بلوک‌های چهار سلولی درنظر گرفته شده‌است. این مدار تحمل‌پذیر اشکال که شامل ۱۴۷ سلول است در شکل ۱۱ نشان داده شده و نتایج شبیه‌سازی آن نیز در شکل ۱۲ قرار دارد.



شکل ۱۱- تمام جمع‌کننده تحمل‌پذیر اشکال پیشنهادی

[15] Fault masking



شکل ۱۲- خروجی تمام جمع‌کننده تحمل‌پذیر اشکال پیشنهادی

۵- نتیجه گیری

مدار تمام جمع‌کننده یکی ازمهم‌ترین مدارات پایه محاسباتی است که در طراحی سایر مدارات پیچیده در مقیاس‌های بسیار بزرگمورد استفاده قرار می‌گیرد که با تحمل‌پذیر کردن آن قابلیت‌اطمینان افزایش می‌یابد و درصورتی که نقصی در مدار ایجاد شود، عملکرد بهتری را می‌تواند داشته باشد. در این پژوهش به بررسی دقیق عملکرد جمع‌کننده پرداخته و توانستیم نتایج قابل‌توجهی را در طراحی مدارات محاسباتی با استحکام و کارآیی بالاتر به‌دست آوریم. مهم‌ترین ویژگی طراحی‌های ارائه‌شده قابلیت گسترش آن‌ها در طراحی سایر مدارات مشابه است. صحت عملکرد تمامی مدارات پیشنهادی با شبیه‌سازی کامپیوتری اثبات شده‌است.

۶- منابع

[۱]فرازکیش ر.، مجله دنیای نانو، سال سیزدهم، شماره چهل و نهم، (۱۳۹۶).

[2] P. D. Tougaw and C. S. Lent, J. Appl. Phys., 75, 1818–1825, (1994).

[3] C. S. Lent and P. D. Tougaw, J. Appl. Phys., 74, 6227–6233, (1993).

[4] K. Navi, R. Farazkish, S. Sayedsalehi, and M. R. Azghadi, Microelectronics J., 41, 820–826, (2010).

[5] K. Navi, S. Sayedsalehi, R. Farazkish, and M. R. Azghadi, J. Comput. Theor. Nanosci., 7, 1546–1553, (2010).

[6] R. Farazkish and F. Khodaparast, Microprocess. Microsyst., 39, 426–433, (2015).

[7] R. Farazkish, J. Nanopartide Res., 16, (2014).

[8] R. Farazkish and K. Navi, J. Nanoparticle Res., 14, 1252, (2012).

[9] R. Farazkish, S. Sayedsalehi, K. Navi, Journal of Nanotechnology, 943406, (2012).

[10] R. Farazkish, J. Comput. Electr., 14, 506–514, (2015).

[11] R. Farazkish, Int. J. Nano Dimens., 8(1), 40-48, (2017).

[12] R. Farazkish , Int. J. Nano Dimens., 9(1), 58-67, (2018).

[13] R. Zhang, K. Walus, W. Wang, and G. A. Jullien, IEEE International Symposium on Circuits and Systems, 2522–2526, (2005).

[14] M. R. Azghadi, O. Kavehie, and K. Navi, arXiv Prepr., 2044.2048, (2012).

[15] H. Cho and E. E. Swartzlander Jr, IEEE Trans. Comput., 58, 721–727, (2007).

[16] S. Hashemi, M. Tehrani, and K. Navi, Sci. Res. Essays, 7, 177–189, (2012).

[17] B. W. Johnson, Addison-Wesley Longman Publishing Co., Inc., (1988).

[18] K. Walus, T. J. Dysart, G. A. Jullien, and R. A. Budiman, IEEE Trans. Nanotechnology, 3, 26–31, (2004).

[19] K. Kim, K. Wu, and R. Karri, IEEE Trans. Comput. Des. Integr. circuits Syst., 26, 176–183, (2007).

[20] D. Kumar, D. Mitra, and B. B. Bhattacharya, J. Comput. Electron., 16, 896–906, (2017).